

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-221945

(43)Date of publication of application : 09.08.2002

(51)Int.Cl.

G09G 3/36
G02F 1/133
G02F 1/1345
G09F 9/00
G09F 9/30
G09G 3/20

(21)Application number : 2001-017986

(71)Applicant : CITIZEN WATCH CO LTD

(22)Date of filing : 26.01.2001

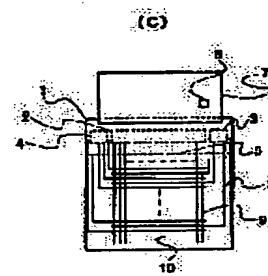
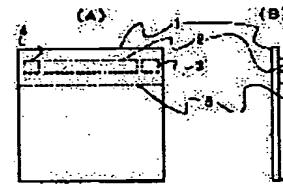
(72)Inventor : KAMIYA KIYOSHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device capable of performing satisfactory drive while maintaining the symmetry of the external form of the glass of a display panel which is the condition needed for a cellular phone and while using electrode driving ICs having simple constitution.

SOLUTION: Two pieces of scanning electrode driving IC 3, 4 and a piece of signal electrode driving IC 2 are mounted in a line on the substrate of one side of a liquid crystal panel by at least arranging the signal electrode driving IC 2 between the scanning electrode driving IC 3, 4. Moreover, the amplitude of the signal electrode driving waveform which is outputted by the IC 2 is made to be smaller than amplitudes of scanning electrode driving waveforms which are outputted by the IC 3, 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] One substrate among the substrates of the pair which counters on both sides of a liquid crystal layer a scan electrode In the liquid crystal display which mounts two or more electrode drives IC for the substrate of another side having a signal electrode and driving said scan electrode and said signal electrode in one of substrates among the substrates of a pair Said two or more electrode drives IC are liquid crystal displays which are two or more scan electrode drives IC and at least one signal-electrode drive IC, and arrange said signal-electrode drive IC among said two or more scan electrode drives IC.

[Claim 2] Pressure-proofing of said signal-electrode drive IC is a liquid crystal display according to claim 1 characterized by being set as the proof-pressure less or equal of said scan electrode drive IC.

[Claim 3] It is the liquid crystal display according to claim 1 or 2 which said scan electrode drives IC of two or more are the two scan electrode drives IC, and carries out [two or more / of said scan electrode / being arranged, it connecting one scan electrode drive IC and the scan electrode arranged at odd-number Motome among the two scan electrode drives IC, and connecting the scan electrode drive IC of another side, and the scan electrode arranged at even-number Motome, and] as the description.

[Claim 4] A liquid crystal display given in any 1 term of claims 1-3 characterized by said scan electrode drive IC driving with a rocking power source.

[Claim 5] The liquid crystal display according to claim 4 characterized by having separately from said scan electrode drive IC the rocking voltage regulator in connection with said rocking power source.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the electrode drive IC and its mounting approach of a

passive mold liquid crystal display.

[0002]

[Description of the Prior Art] the pocket telephone which is spreading quickly — being, a STN (super twisted nematic) liquid crystal panel is a display object adopted most widely. With the cellular-phone vessel, enlargement of the display screen asks and shines to a miniaturization and coincidence of sheathing. Therefore, the liquid crystal panel with the narrow width of face of the sheathing section is liked for the glass appearance over the longitudinal direction of the display screen by bilateral symmetry. Moreover, the method of mounting the electrode drive IC on a substrate, since the demand to a price is also severe (called a chip onboard.) moreover, in the case of a glass substrate, it is called chip-on glass — having — Following COG — calling — it is often adopted. The conventional example of the STN liquid crystal panel using this COG is explained based on drawing 7 and drawing 8.

[0003] Drawing 7 shows the 1st conventional example which carried out COG mounting of one electrode drive IC to the STN liquid crystal panel. In drawing 7 , (A) is an explanatory view in connection with [in connection with a side elevation in a front view and (B)] an electrode in (C). (A) And as shown by (B), the electrode drive IC 82 and bottom glass 83 have stuck to the tooth back of upper glass 81. In addition, optical members, such as a polarizing plate, were omitted.

[0004] A signal electrode 86 and wiring 85 are formed in the tooth back of upper glass 81 in drawing 7 (C). The scan electrode 87 is formed in the field by the side of the liquid crystal layer of bottom glass 83. The wiring 85 of upper glass 81 is for connecting the scan electrode 87 of bottom glass 83, and the electrode drive terminal of the electrode drive IC 82. The terminal side of the electrode drive IC 82 and the connection of upper glass 81 have taken connection on both sides of the anisotropy electric conduction seal (ACF ** is carried out the following). The intersection of a signal electrode 86 and the scan electrode 87 is each pixel, and the whole pixel is equivalent to the display screen. The scan electrode 87 is connected with the wiring 85 of upper glass 81 with the anisotropy electric conduction grain. The circuit on the electrode drive IC 82 and a substrate is connected through wiring (not shown) of upper glass 81, and wiring on a flexible printed circuit board (Following FPC is called) 84. Since this electrode drive IC 82 builds in the signal-electrode drive circuit and the scan electrode drive circuit, and it ends as it mounts in one liquid crystal display panel, it may be called a one chip mold.

[0005] This electrode drive IC 82 is using the 6 value driving method (the following IAPT called an improved alt.pre SHUKO technique is called). A scan electrode drive wave-like and signal-electrode drive wave-like maximum voltage becomes about 15V for a display digit to be about 100 figures.

[0006] Drawing 8 shows the 2nd conventional example which mounted two electrode drives IC to the STN liquid crystal panel. In drawing 8 , (A) is an explanatory view in connection with [in connection with a side elevation in a front view and (B)] an electrode in (C). (A) And as shown by (B), the signal-electrode drive IC 92, the scan electrode drive IC 94, and bottom glass 93 have stuck to the tooth back of upper glass 91. In addition, optical members, such as a polarizing plate, were omitted.

[0007] In drawing 8 (C), the wiring 95 for connecting the electrode drive terminal of the scan electrode drive IC 94 with a signal electrode 96 and the scan electrode 97 is formed in the tooth back of upper glass 91. The scan electrode 97 is formed in the field by the side of the liquid crystal layer of bottom glass 93. The terminal side of the signal-electrode drive IC 92 and the scan electrode drive IC 94 and the connection of upper glass 91 have taken connection by ACF. The relation between a signal electrode 96, the scan electrode 97, a pixel, and a viewing area is the same as that of the 1st conventional example of drawing 7 . The scan electrode 97 is also connected with the wiring 95 of upper glass 91 with the anisotropy electric conduction grain. The signal-electrode drive IC 92 and the scan electrode drive IC 94 connect with the circuit on a substrate through wiring (not shown) of upper glass 91, and wiring on FPC98.

[0008] Next, the alt.pre SHUKO technique (Following APT is called) using a rocking power-source method is explained. Drawing 5 and drawing 6 explain the wave of a rocking power source and an electrode drive. Drawing 5 is the wave form chart showing the voltage level relevant to a rocking power

source. In drawing 5, the polar control signal DF showed the polarity of an alternating current drive of a liquid crystal panel, and has reversed it periodically, and the amplitude is a logic level. High level and the low level of a logic level are the electrical potential differences of a power source POWER and Gland GND here, respectively. GND and POWER are the output voltage of the power source which a notation shows among the voltage levels shown by the dotted line, and Vcol and Vh are direct current voltage. The upper rocking power source VDD has the polar control signal DF and a reversal relation by the square wave, a peak price is an electrical potential difference Vh, and the minimum value is an electrical potential difference Vcol. The rocking power source VCC for logic is the square wave of the shape of the rocking power source VDD and isomorphism, and the maximum voltage is clamped by the electrical potential difference of a power source POWER. The rocking power source VSS which is equivalent to a gland similarly is the square wave of the shape of the rocking power source VDD and isomorphism, and the maximum voltage is clamped by the electrical potential difference of Gland GND.

[0009] Drawing 6 is the wave form chart showing the signal relevant to an electrode drive wave. In drawing 6, clock signal LOAD, start signal FR, and the polar control signal DF are logic signals, and high level and a low level are the power source POWER of drawing 5, and the electrical potential difference of Gland GND, respectively. The m-th signal-electrode drive wave COLm outputted from the signal-electrode drive IC 92 is a binary wave, the bottom is an electrical potential difference Vcol and the bottom is the electrical potential difference of Gland GND. VM is the intermediate voltage of an electrical potential difference Vcol and an electrical potential difference GND, and is calling it the pause electrical potential difference here. As for the rocking power source VDD, the high voltage Vh and the minimum electrical potential difference have [a maximum voltage] the polar control signal DF and a reversal relation on an electrical potential difference Vcol. The rocking power source VCC for logic and the rocking power source VSS for glands were omitted. The drive wave of 1, 2, and the 3 or 4th scan electrodes ROW0, ROW1, ROW2, and ROW3 has a selection pulse in each selection period, and the remaining periods serve as the pause electrical potential difference VM.

[0010] When APT is used by circuit arrangement as shown in drawing 8, electrical-potential-difference conversion of clock signal LOAD for controlling the scan electrode drive IC 94, start signal FR, and the polar control signal DF is carried out by the level shifter built in the scan electrode drive IC at a rocking electrical power system. First, the level shift of each signal LOAD, and FR and DF is carried out so that high level may become the electrical potential difference of a power source POWER, and the rocking power source VSS for glands in a low level. Next, a level shift is carried out so that it may become the rocking power source VCC for logic in high level, and the rocking power source VSS for glands in a low level. Within the scan electrode drive IC, with a value with the small potential difference of the rocking power source VCC for logic, and the rocking power source VSS for glands, since it is fixed, this electrical potential difference is used for the control logical circuit of the scan electrode drive IC 94.

[0011] Since a liquid crystal panel is a line sequential drive, the indicative data of the m-th signal electrode changes synchronizing with the falling edge of clock signal LOAD. At this time, the signal-electrode drive wave COLm serves as an indicative data and polar exclusive OR of the polar control signal DF.

[0012] If start signal FR becomes high-level, synchronizing with the falling edge of the first clock signal LOAD, the scan electrode ROW0 of an eye will be chosen most. The output terminal of the scan electrode drive IC 94 connected to the scan electrode ROW0 at this time outputs the rocking power source VSS. Incidentally, the output terminal of the scan electrode drive IC 94 functions as a switch which changes an electrical potential difference VM to the rocking power sources VDD and VSS; in the period which chooses a scan electrode, when the polar control signal DF is high-level and the rocking power source VSS and the polar control signal DF are low level, it outputs the rocking power source VDD, and it outputs the pause electrical potential difference VM in the period (a non-selection period is called hereafter) which does not choose a scan electrode. It synchronizes with the falling edge of 2 or 3rd clock signal LOAD similarly, and the selection pulse of negative polarity appears in the drive wave of

the 2 or 3rd scan electrodes ROW1 and ROW2. Since the polar control signal DF is reversed at the time of falling of 4th clock signal LOAD, in the drive wave of the 4th scan electrode ROW3, the selection pulse of straight polarity (peak value is Vh) appears.

[0013] In addition, in order to attain an alternating current drive, the polarity-reversals signal DF needs to set up a reversal period so that a phase may shift per frame to start signal FR. The drive wave of each drawing becomes what took the difference the scan electrode drive wave-like of the pixel, and signal-electrode drive wave-like.

[0014]

[Problem(s) to be Solved by the Invention] since [however,] the function of the electrode drive IC of the one chip mold shown in the 1st conventional example has developed by color display, gradation display, etc. recently -- logical circuits, such as Display RAM, a control circuit, an arithmetic circuit, and a drive wave generating circuit, -- occupying -- although -- increasing -- *****. Although detailed-ization of IC pattern rule is progressing by the advance of a production process, the area of the logical-circuit section tends to increase. Moreover, since the amount of information to display is also increasing, the number of scan electrodes of a liquid crystal panel is also increasing. For this reason, it is in the inclination for driver voltage to become high and for pressure-proofing of the electrode drive IC to become high. In this, since a scan and the signal-electrode drive wave of both IAPT(s) are high voltages, the electrode drive circuit area of the electrode drive IC in the one chip mold using this also tends to become large with a raise in pressure-proofing.

[0015] Since the production process for logical circuits and the production process for electrode drive circuits are progressing in the opposite direction of detailed-izing and a raise in pressure-proofing, its common part between both production processes has been decreasing. For this reason, in the electrode drive IC of the one chip mold with which a low-battery circuit and a high-voltage circuit are intermingled, it came to need a very long process. If it has an extreme way of speaking, after letting the production process almost for logical circuits pass, it is the situation of letting the production process for high-voltage circuits pass again. In other words, the futility that it cannot but pass along this process although the high-voltage circuit which does not need an expensive detailed production process is a one chip mold therefore has arisen. A yield fall according to enlargement as mentioned above also unites the electrode drive IC of the one chip mold which needs a long production process, and a price rises remarkably. Consequently, the technical problem that the liquid crystal display module which uses the electrode drive IC of a one chip mold also becomes expensive occurs.

[0016] In order to avoid a price hike of the electrode drive IC, as the 2nd conventional example showed, APT whose signal-electrode drive wave requires only a low battery is adopted, and a high-voltage circuit should just set a required scan electrode drive circuit to another IC. If the rocking power-source method of selection pulse amplitude which can drive the scan electrode drive IC on a half electrical potential difference mostly is furthermore used, the scan electrode drive IC can be miniaturized and cost will also be pressed down further. however, if 7 carries out the scan electrode drive IC to another chip, the technical problem that the symmetric property of the glass appearance in a display panel required as an object for cellular phones collapses will occur.

[0017] Then, this invention is aimed at aiming at the cost cut of the liquid crystal display modules for cellular phones etc. by lowering the price of the electrode drive IC, while the glass appearance in a display panel required for cellular phones had carried out symmetric-property maintenance.

[0018]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, this invention has the following descriptions. On one substrate of a liquid crystal panel, at least one signal-electrode drive IC is put in order and mounted two or more scan electrode drives IC and in the meantime. The signal-electrode drive wave amplitude which this signal-electrode drive IC outputs is smaller than the scan electrode drive wave amplitude which the scan electrode drive IC outputs. That is, it is characterized by setting up pressure-proofing of the signal-electrode drive IC lower than pressure-proofing of said scan

electrode drive IC.

[0019]

[Embodyment of the Invention] Drawing 1 is the explanatory view having shown the physical relationship of the electrode drive IC which carried out COG mounting, and other members in the STN liquid crystal panel in the gestalt of operation of this invention. In drawing 1, (A) is an explanatory view in connection with [in connection with a sectional side elevation in a front view and (B)] an electrode in (C). (A) And as shown by (B), two scan electrode drives 3 and ICs 4 and the signal-electrode drive IC 2 were installed in the tooth back of the upper glass 1 which is a substrate, and the bottom glass 5 which is a substrate further has stuck to it. Upper glass 1 and bottom glass 5 have countered on both sides of a liquid crystal layer, and two or more scan electrodes 10 and two or more signal electrodes 9 are formed on each glass substrate here. Moreover, the signal-electrode drive IC 2 is arranged between the two scan electrode drives 3 and ICs 4. Although only one arranges the signal-electrode drive IC to drawing 1, it may divide into some and more than one may be arranged. However, it is made to arrange between the scan electrode drives IC also in such a case.

[0020] In drawing 1 (C), the wiring 8 other than a signal electrode 9 is formed in the tooth back of upper glass 1. Wiring 8 is for connecting the scan electrode 10 formed in bottom glass 5, and the electrode drive terminal of the scan electrode drive 3 and ICs 4 installed in upper glass 1. The terminal side of the scan electrode drive 3 and ICs 4 and the signal-electrode drive IC 2 and the connection of upper glass 1 have taken connection by ACF. In addition, in order to ease the spacing conditions between ICs decided by relation of precision with an ACF flare in ACF although there is much ***** with a flare for every electrode drive IC, and in order to make a mounting process simplify, the scan electrode drive 3 and ICs 4 and the signal-electrode drive IC 2 were carried on one ACF, and thermocompression bonding of the scan electrode drive 3 and ICs 4 and the signal-electrode drive IC 2 was carried out.

[0021] The intersection of a signal electrode 9 and the scan electrode 10 is each pixel, and the whole pixel is equivalent to the display screen. The left-hand side scan electrode drive IC 4 is connected to 1 and odd number Motome's 3 or 5th scan electrode from on the display screen among the two scan electrode drives IC. The right-hand side scan electrode drive IC 3 is connected to 2 and even number Motome's 4 or 6th scan electrode from on the display screen. This is the wiring approach for it not being conspicuous and carrying out the difference of the electrode drive capacity of the scan electrode drive 3 and ICs 4. The scan electrode 10 installed in the bottom glass substrate 5 is connected with the wiring 8 of upper glass 1 with the anisotropy electric conduction grain.

[0022] On FPC7, the rocking voltage regulator 6 which generates a rocking power source is begun, and the external components (not shown) which the scan electrode drive 3 and ICs 4 and the signal-electrode drive IC 2 need are carried. This liquid crystal panel is using APT by the rocking power-source method.

[0023] Drawing 2 is a circuit diagram on FPC7 including the signal-electrode drive IC 2 and the scan electrode drive 3 and ICs 4. The same number as drawing 1 shows the same member. Wiring which connects the circuit board and this circuit of a cellular-phone machine is a two or more bits CPU signal, and the power source POWER and Gland GND of 2.5V. The items of a CPU signal consist of a data signal for exchanging a clock signal, a chip enable signal, the signal that discriminates a command from data, a reset signal, and an indicative data and a command, and have connected with the control block 37 of the signal-electrode drive IC 2.

[0024] 34 has obtained the high voltage Vh by the switching regulator 1 block of pressure ups of the signal-electrode drive IC 2. 34 outputs a clock to a transistor T1 1 block of pressure ups. When a transistor T1 intercepts the current path of a coil L1 with this clock, the high voltage occurs. Diode D1 and a capacitor C1 rectify this high voltage, and the high voltage Vh is obtained. The high voltage Vh is pressured partially by resistance R1 and R2, the negative feed back is applied to 34 1 block of pressure ups, and the high voltage Vh is stabilized. A capacitor C2 adjusts the response of feedback and is reducing the ripple of the high voltage Vh. The high voltage Vh is inputted into the rocking voltage

regulator 6.

[0025] For driving a signal electrode, it is necessary to make an electrical potential difference V_{col} into about 3V. 2 blocks of pressure ups, 35 doubles the electrical potential difference of a power source POWER by capacitors C3 and C4, and obtains the electrical potential difference 33 of 5V. This electrical potential difference 33 is inputted into the power-source block 36 for a liquid crystal drive. The power-source block 36 outputs the pause electrical potential difference VM and an electrical potential difference V_{col} by series REGYURETA. Capacitors C5 and C6 are stabilizing the pause electrical potential difference VM and the electrical potential difference V_{col} , respectively. The pause electrical potential difference VM is inputted into the column drive block 39 of the signal-electrode drive IC 2, and also it is inputted into the scan electrode drive 3 and ICs 4. An electrical potential difference V_{col} is inputted into the column drive block 39 of the signal-electrode drive IC 2, and also it is inputted into the rocking voltage regulator 6.

[0026] The control block 37 of the signal-electrode drive IC 2 sends a control signal to each blocks, such as RAM38 of the signal-electrode drive IC 2, and the column drive block 39, or exchanges data, and also it outputs the 5-bit signal 31 to the rocking voltage regulator 6. In addition to clock signal LOAD, start signal FR, and the polar control signal DF, signals 31 are reset-signal RSTB and enable signal ROE. In addition, RAM38 outputs an indicative data to the column drive block 39. The signal-electrode drive IC 2 has the oscillation block 40 and temperature compensation block for performing a display control, and a contrast adjustment block (not shown).

[0027] A power source POWER, the high voltage V_h , an electrical potential difference V_{col} , Gland GND, and the 5-bit signal 41 input the rocking voltage regulator 6, and it outputs the signal 32 which carried out the level shift of the upper rocking power source VDD, the rocking power source VCC for logic, the lower rocking power source VSS, and the signal 31 that is 5 bits to the rocking electrical power system. The rocking power source VDD and the rocking power source VSS are connected through a capacitor C7. The rocking power source VCC and the rocking power source VSS are similarly connected through a capacitor C8. The 5-bit signal 32 and the rocking power sources VDD, VSS, and VCC are inputted into the scan electrode drive 2 and ICs 3.

[0028] The rocking voltage regulator 6 has taken the structure (Following SOI is called) of forming an insulator layer on a silicon substrate and making a transistor and diode forming in the front face as an individual component. To the usual IC which performs isolation with reverse voltage, since the component has dissociated completely, SOI has turned to IC with a complicated electrical power system like a rocking power source. A rocking voltage regulator once carries out the level shift of the polarity-reversals signal DF to the electrical-potential-difference range of the high voltage V_h and Gland GND, and it is carrying out the level shift to the electrical-potential-difference range of the high voltage V_h and an electrical potential difference V_{col} successively. The wave of the rocking power source VDD of drawing 5 is acquired now. Next, a dc component is removed by the capacitor C7 from the output wave of this rocking power source VDD, a maximum voltage is clamped to Gland GND, and the lower rocking power source VSS is acquired. If it has another way of speaking, the VSS terminal of the rocking voltage regulator 6 will be an object for a clamp. Furthermore, a dc component is removed by the capacitor C8 from the wave of the rocking power source VSS, a maximum voltage is clamped on the electrical potential difference of a power source POWER, and the rocking power source VCC for logic is acquired. The electrical potential difference impressed to the circuit which creates each rocking power sources VDD, VSS, and VCC does not exceed the high voltage V_h and the electrical potential difference obtained from the difference of Gland GND by dc-component removal by capacitors C7 and C8. Therefore, the signal-electrode drive IC 2 can use the component of pressure-proofing not more than the scan electrode drive 3 and ICs 4, comparable, or it. In the gestalt of this operation, GND, VM, POWER, V_{col} , and V_h of the direct current voltage of drawing 5 $R > 5$ are 0V, 1.5V, 2.5V, about 3V, and about 15V in the liquid crystal panel of 100 division extent, respectively.

[0029] Drawing 3 is the pad drawing of the scan electrode drive IC currently used with the gestalt of

this operation. An input terminal, the signal input terminals RSTB and LOAD, and FR, DF, ROE and the functional setting terminals S0, S1, and S2 of the rocking power sources VDD, VCC, and VSS, VSSL, and the pause electrical potential difference VM are located in a line on one side. Output terminals OUT0, --, OUT16, --, OUT48, --, OUT64 are located in a line with the three remaining sides in order. The gland (VSS) and the object (VSSL) for logical circuits of the whole scan electrode drive IC are divided as an input terminal of the lower rocking power source VSS here. This is for a logical circuit to make it not malfunction, even when a noise mixes in the gland (VSS) of the scan electrode drive IC. The functional setting terminals S0, S1, and S2 set up the order of selection and the selection period of an output terminal. The order of selection says whether the selection direction of an output terminal makes it go to OUT63 from OUT0, or it is made the reverse sense. In a setup of a selection period, the period which outputs a selection pulse will choose either for every period, every even number period, and every odd number period on the basis of a frame signal and a LOAD signal. The gestalt of this operation is explained using drawing 6. By combining the function to set up the order of selection, and a selection period, the left-hand side scan electrode drive IC 4 outputs a selection pulse to the 1st scan electrode ROW0 from 63rd output terminal OUT63L at the 1st period. Then, the right-hand side scan electrode drive IC 3 outputs a selection pulse to the 2nd scan electrode ROW1 from 0th output terminal OUT0R at the 2nd period. The scan electrode drive 4 and ICs 3 of the left and right-hand side outputs a selection pulse to the 3 or 4th scan electrode 2 and ROW 3 from 62 or 1st output terminal OUT62L and OUT1R similarly at the 3rd and 4 period. Electrically, that to which 15 proof-pressure Ruhr was intermingled in 3V proof-pressure Ruhr and high voltages is used for logic. Since the output pad pitch was 50 micrometers, the chip size became about 2mmx1.5mm.

[0030] Drawing 4 is the rocking voltage regulator 6 (A) currently used with the gestalt of this operation, and the pad drawing of the signal-electrode drive IC 2 (B). In (A), power supply terminals POWER, Vh, and Vcol, GND, the level-shifter input terminals A0, A1, and A2, A3, A4, the polar control signal input terminal DF and the rocking power-outlet terminals VDD, VCC, and VSS, the level-shifter output terminals B0 and B1, B-2, B3, and B4 are arranged. The reason for having prepared the input terminal of the polar control signal DF apart from the input terminal (A0 grade) of a level shifter is for increasing the wiring degree of freedom on FPC which connects between rocking voltage regulators with the signal-electrode drive IC. One level-shifter input terminal and polar signal input terminal DF are connected on FPC7. The rocking voltage regulator 6 attaches a solder ball on each pad, and mounts it by the approach (flip chip) of taking wiring and connection on direct FPC. Since the pitch between pads was set to 200 micrometers, the chip size was set to 1mmx1.2mm. The signal-electrode drive IC 2 of (B) has terminal I/O used for connection with a power source, CPU, external components, etc. in an upper long side, and there are signal-electrode output terminals OUT0, --, OUT384 in another side. The long side of the scan electrode drive IC 2 was set to about 20mm from the output terminal pitch of 50 micrometers. Moreover, since the logical circuit used general 0.35 micrometers and the circumference of an analog circuit and a signal-electrode drive output terminal also used the 5V Ruhr, and it constituted only from a small component, the shorter side was set to 1.8mm.

[0031]

[Effect of the Invention] It is having arranged this invention in the same mounting field on both sides of one signal-electrode drive IC by two scan electrode drives IC from the above explanation, and having arranged, and the same structure as the time of using the electrode drive IC of a one chip mold can be taken, and the liquid crystal panel which has the symmetrical glass appearance which a cellular phone needs is obtained. Since it can manufacture only in the low-battery Ruhr, the signal-electrode drive IC can simplify the configuration of IC, and since a production process is short and small, a chip price is low [the drive]. Since the functional target is simple, and the logical circuit is small-scale, even if the scan electrode drive IC makes coarse the pattern rule for low-battery logic, there is little effect to the area of the whole IC. For this reason, the production process of the scan electrode drive IC becomes the whole in the coarse Ruhr, and cost will become low.

[0032] In this invention, although mounting cost went up a little because the number of the electrode drives IC increased, since the good drive could be performed and the price of the electrode drive IC fell sharply further, using the electrode drive IC of a simple configuration, the cost cut of a liquid crystal display module was attained.

[0033] In addition, although APT by the rocking power source has explained, this invention is effective when the driver voltage of the signal-electrode drive IC is low compared with the driver voltage of the scan electrode drive IC. For example, in a STN liquid crystal panel, it is effective also by the drive approach (MLA:multi-line addressing, MRA:multi-low addressing, MLS: called multi-line selection etc.) which chooses two or more scan electrodes to 1 time of selection timing. Since an electrical potential difference required for the scan electrode drive IC on rated bias conditions becomes half [of an electrical potential difference required of APT] (the electrical potential difference in the case of a rocking power source thru/or electrical potential difference of IAPT) in the case where four scan electrodes are chosen as coincidence, if it is 100 figures, it is about 15V too. On the other hand, since the maximum electrical potential difference required for the signal-electrode drive IC becomes twice APT, it is at least 6V too and it can be driven by the low battery. It becomes possible to lower the price of the electrode drive IC by the approach of this invention also in this case.

[0034] Moreover, the signal-electrode drive IC which has memory, and a control function and various power sources has explained this invention. Since it is effective if the signal-electrode drive IC can drive by the low battery too, the signal-electrode drive IC and two scan electrode drives IC which have only a signal-electrode drive function may be put in order and mounted in a panel, and the graphic controller which has memory and a display-control function on FPC etc., and the power source IC which performs various kinds of power control may be arranged. In this case, the price of the electrode drive IC becomes a remarkable low thing. Moreover, the effectiveness that the electrode drive IC can make glass size small in that [small (shorter side is shortened)] is also added.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The plot plan of the electrode drive IC in the gestalt of operation of this invention.

[Drawing 2] The circuit diagram in the gestalt of operation of this invention.

[Drawing 3] The pad Fig. of the scan electrode drive IC in the gestalt of operation of this invention.

[Drawing 4] The pad Fig. of a rocking voltage regulator and the signal-electrode drive IC in the gestalt of operation of this invention.

[Drawing 5] The wave form chart of the rocking power source of the conventional example.

[Drawing 6] The electrode drive-related wave form chart of the conventional example.

[Drawing 7] The plot plan of the electrode drive IC of the conventional example.

[Drawing 8] The plot plan of the electrode drive IC of the conventional example.

[Description of Notations]

1, 81, 91 Top glass
2 92 Signal-electrode drive IC
3, 4, 94 Scan electrode drive IC
5, 83, 93 Bottom glass
6 [] Rocking Voltage Regulator
7, 84, 98 FPC
8, 21, 26, 85, 95 Wiring
9, 86, 96 Signal electrode
10, 87, 97 Scan electrode
20 25 Seal
22 27 Connection
24 29 Viewing area
82 [] Electrode Drive IC of One Chip Mold
VDD Upper rocking power source
VSS Lower rocking power source
VCC Rocking power source for logic
POWER Power source
Vcol Upper signal-electrode driver voltage
VM Pause electrical potential difference
GND A gland, lower signal-electrode driver voltage
DF Polar control signal
LOAD Clock signal
FR Start signal

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-221945
(P2002-221945A)

(43)公開日 平成14年8月9日(2002.8.9)

(51)Int.Cl.'	識別記号	F I	テ-マコ-ト(参考)
G 0 9 G	3/36	G 0 9 G	3/36
G 0 2 F	1/133	G 0 2 F	1/133
	1/1345		1/1345
G 0 9 F	9/00	G 0 9 F	9/00
	3 4 8		3 4 8 C
			3 4 8 L
			5 C 0 8 0
			5 C 0 9 4

審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く

(21)出願番号 特願2001-17986(P2001-17986)

(22)出願日 平成13年1月26日(2001.1.26)

(71)出願人 000001960
シチズン時計株式会社
東京都西東京市田無町六丁目1番12号
(72)発明者 神谷 潔
埼玉県所沢市大字下富字武野840番地 シ
チズン時計株式会社技術研究所内

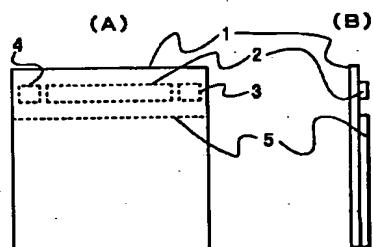
最終頁に続く

(54)【発明の名称】 液晶表示装置

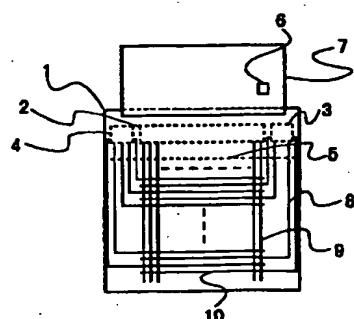
(57)【要約】

【課題】 携帯電話向けの高機能STNパネルはワンチップ型電極駆動ICの構成が複雑で高価であるという課題がある。そこで携帯電話用に必要な条件である表示パネルにおけるガラス外形の対称性を維持したまま、簡略な構成の電極駆動ICを用いながら、良好な駆動を行う液晶表示装置を提供することを目的にしている。

【解決手段】 液晶パネルの一方の基板上に2個の走査電極駆動IC3,4とその間に少なくとも1個の信号電極駆動IC2を並べて実装する。この信号電極駆動ICの出力する信号電極駆動波形の振幅は、走査電極駆動ICが outputする走査電極駆動波形の振幅よりも小さい。



(C)



10

(2)

【特許請求の範囲】

【請求項1】 液晶層を挟んで対向する一対の基板のうち、一方の基板は走査電極を、他方の基板は信号電極を有し、前記走査電極と前記信号電極とを駆動するための複数の電極駆動ICを、一対の基板のうちどちらか一方の基板に実装する液晶表示装置において、前記複数の電極駆動ICは複数の走査電極駆動ICと少なくとも1個の信号電極駆動ICであり、前記複数の走査電極駆動ICの間に前記信号電極駆動ICを配置する液晶表示装置。

【請求項2】 前記信号電極駆動ICの耐圧は前記走査電極駆動ICの耐圧以下に設定されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記複数の走査電極駆動ICは2個の走査電極駆動ICであり、前記走査電極は複数本配置され、2個の走査電極駆動ICのうち、一方の走査電極駆動ICと奇数本目に配置された走査電極とを接続し、他方の走査電極駆動ICと偶数本目に配置された走査電極とを接続することを特徴とする請求項1または請求項2に記載の液晶表示装置。

【請求項4】 前記走査電極駆動ICが揺動電源で駆動されることを特徴とする請求項1から3のいずれか1項に記載の液晶表示装置。

【請求項5】 前記揺動電源に関わる揺動電源用ICを前記走査電極駆動ICとは別個に備えていることを特徴とする請求項4に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、パッシブ型液晶表示装置の電極駆動ICとその実装方法に関する。

【0002】

【従来の技術】 急速に普及してきている携帯電話器において、STN(スーパーツイステッドネマティック)液晶パネルは最も広く採用されている表示体である。携帯電話器では外装の小型化と同時に、表示画面の大型化が求められている。よって、表示画面の長手方向に対するガラス外形が左右対称で、外装部の幅が狭い液晶パネルが好まれている。また価格に対する要求も厳しいため、電極駆動ICを基板上に実装する方法(チップオンボードと呼ばれる。またガラス基板の場合にはチップオンガラスと呼ばれ、以下COGと称する)がしばしば採用される。このCOGを使ったSTN液晶パネルの従来例を図7と図8に基づいて説明する。

【0003】 図7はSTN液晶パネルに1個の電極駆動ICをCOG実装した第1の従来例を示している。図7において、(A)は正面図、(B)は側面図、(C)は電極に関わる説明図である。(A)および(B)で示されるように、上ガラス81の背面に電極駆動IC82と下ガラス83が張り付いている。なお偏光板等の光学的な部材は省略した。

2

【0004】 図7(C)において、上ガラス81の背面には信号電極86と配線85が形成されている。下ガラス83の液晶層側の面には走査電極87が形成されている。上ガラス81の配線85は下ガラス83の走査電極87と、電極駆動IC82の電極駆動端子とを接続するためのものである。電極駆動IC82の端子面と上ガラス81の接続部は、異方性導電シール(以下とACF称する)を挟んで接続をとっている。信号電極86と走査電極87の交差部が個々の画素であり、画素全体が表示画面に相当する。走査電極87は異方性導電粒により上ガラス81の配線85と接続している。電極駆動IC82と基板上の回路は、上ガラス81の配線(図示せず)と、フレキシブルプリント基板(以下FPCと称する)84上の配線とを介して接続する。この電極駆動IC82は信号電極駆動回路と走査電極駆動回路を内蔵しているので、液晶表示パネルに1個実装するだけすむためワンチップ型と呼ばれることがある。

【0005】 この電極駆動IC82は6値駆動法(インプレード・オルト・プレシュコ・テクニックとも呼ばれる、以下IAPTと称する)を使用している。表示桁数が100桁程度であると、走査電極駆動波形および信号電極駆動波形の最高電圧は15V程度になる。

【0006】 図8はSTN液晶パネルに2個の電極駆動ICを実装した第2の従来例を示している。図8において、(A)は正面図、(B)は側面図、(C)は電極に関わる説明図である。(A)および(B)で示されるように、上ガラス91の背面に信号電極駆動IC92と走査電極駆動IC94と下ガラス93が張り付いている。なお偏光板等の光学的な部材は省略した。

【0007】 図8(C)において、上ガラス91の背面には信号電極96、および走査電極97と走査電極駆動IC94の電極駆動端子を接続するための配線95が形成されている。下ガラス93の液晶層側の面には走査電極97が形成されている。信号電極駆動IC92と走査電極駆動IC94の端子面と上ガラス91の接続部は、ACFで接続をとっている。信号電極96と走査電極97と画素と表示領域の関係は図7の第1の従来例と同様である。走査電極97も異方性導電粒により上ガラス91の配線95と接続している。信号電極駆動IC92および走査電極駆動IC94は、上ガラス91の配線(図示せず)とFPC98上の配線を介して基板上の回路と接続する。

【0008】 次に揺動電源法を用いたオルト・プレシュコ・テクニック(以下APTと称する)について説明する。図5と図6で揺動電源と電極駆動の波形を説明する。図5は揺動電源と関連する電圧レベルを示す波形図である。図5において、極性制御信号DFは液晶パネルの交流駆動の極性を示し周期的に反転しており、その振幅はロジックレベルである。ここでロジックレベルとは、ハイレベルおよびローレベルがそれぞれ電源POW

(3)

3

E R、グランドG NDの電圧である。点線で示した電圧レベルのうちG ND、POWERは記号が示す電源の出力電圧であり、V c o l、V hは直流電圧である。上側の揺動電源V DDは、方形波で極性制御信号D Fと反転関係にあり、最高値が電圧V h、最低値が電圧V c o lである。ロジック用の揺動電源V C Cは、揺動電源V DDと同形状の方形波であり、最高電圧が電源POWERの電圧にクランプされている。同様にグランドに相当する揺動電源V S Sは、揺動電源V DDと同形状の方形波であり、最高電圧がグランドG NDの電圧にクランプされている。

【0009】図6は電極駆動波形と関連する信号を示す波形図である。図6において、クロック信号LOAD、スタート信号F R、極性制御信号D Fはロジック信号であり、ハイレベルおよびローレベルはそれぞれ図5の電源POWER、グランドG NDの電圧である。信号電極駆動I C 9 2から出力されるm番目の信号電極駆動波形COLmも2値波形であり、上側が電圧V c o l、下側がグランドG NDの電圧である。ここでVMは電圧V c o lと電圧G NDの中間電圧であり休止電圧と呼んでいる。揺動電源V DDは、最高電圧が高電圧V h、最低電圧が電圧V c o lで極性制御信号D Fと反転関係にある。ロジック用揺動電源V C Cとグランド用揺動電源V S Sは割愛した。1、2、3、4番目の走査電極ROW 0、ROW 1、ROW 2、ROW 3の駆動波形は、それぞれの選択期間に選択パルスがあり、残りの期間は休止電圧VMとなっている。

【0010】図8に示したような回路配置でAPTを用いた場合には、走査電極駆動I C 9 4を制御するためのクロック信号LOAD、スタート信号F R、極性制御信号D Fは、走査電極駆動I Cに内蔵されたレベルシフタで揺動電源系に電圧変換される。先ず各信号LOAD、F R、D Fを、ハイレベルが電源POWERの電圧、ローレベルがグランド用の揺動電源V S Sになるようにレベルシフトする。次に、ハイレベルがロジック用の揺動電源V C C、ローレベルがグランド用の揺動電源V S Sになるようレベルシフトする。走査電極駆動I C内では、ロジック用の揺動電源V C Cとグランド用の揺動電源V S Sとの電位差が小さい値で一定なので、この電圧を走査電極駆動I C 9 4の制御ロジック回路に使用する。

【0011】液晶パネルは線順次駆動なので、m番目の信号電極の表示データはクロック信号LOADの立ち下がりエッジと同期して切り替わる。このとき信号電極駆動波形COLmは表示データと極性制御信号D Fの極性の排他論理和となっている。

【0012】スタート信号F Rがハイレベルになると、最初のクロック信号LOADの立ち下がりエッジに同期して、一番目の走査電極ROW 0が選択される。このとき走査電極ROW 0に接続する走査電極駆動I C 9 4の

4

出力端子は、揺動電源V S Sを出力する。ちなみに走査電極駆動I C 9 4の出力端子は揺動電源V DD、V S Sと電圧VMを切り替えるスイッチとして機能し、走査電極を選択する期間では極性制御信号D Fがハイレベルのときに揺動電源V S S、極性制御信号D Fがローレベルのときには揺動電源V DDを出力し、走査電極を選択しない期間（以下、非選択期間と称する）では休止電圧VMを出力する。同様にして2、3番目のクロック信号LOADの立ち下がりエッジに同期し、2、3番目の走査電極ROW 1、ROW 2の駆動波形に負極性の選択パルスが現れる。4番目のクロック信号LOADの立ち下がり時は、極性制御信号D Fが反転するので、4番目の走査電極ROW 3の駆動波形には正極性（波高値がV h）の選択パルスが現れる。

【0013】なお交流駆動を達成するため、極性反転信号D Fはスタート信号F Rに対しフレーム単位で位相がずれるように、反転周期を設定する必要がある。各画の駆動波形は、その画素の走査電極駆動波形と信号電極駆動波形の差をとったものとなる。

【0014】

【発明が解決しようとする課題】しかしながら最近では、カラー表示や階調表示などにより、第1の従来例で示したワンチップ型の電極駆動I Cの機能が高度化してきたため、表示RAMや制御回路、演算回路、駆動波形発生回路などロジック回路の占めるが増大してきている。製造工程の進歩によりI Cパターンルールの微細化が進んでいるとは言っても、ロジック回路部の面積は増大する方向にある。また表示する情報量も増大しているので、液晶パネルの走査電極数も増えている。このため駆動電圧が高くなり、電極駆動I Cの耐圧が高くなる傾向にある。このなかで、I APTは走査および信号電極駆動波形がともに高電圧であるため、これを使ったワンチップ型における電極駆動I Cの電極駆動回路面積も高耐圧化に伴って大きくなる方向にある。

【0015】ロジック回路用の製造工程と電極駆動回路用の製造工程は、微細化と高耐圧化という相反する方向に進んでいるため、両製造工程間の共通な部分が減ってきている。このため低電圧回路と高電圧回路とが混在するワンチップ型の電極駆動I Cでは、非常に長い工程を必要とするようになった。極端な言い方をすれば、ほとんどロジック回路用の製造工程を通してから、再度高電圧回路用の製造工程を通す、というような状況になっている。言い換えると、高価な微細製造工程を必要としない高電圧回路が、ワンチップ型であるが故にこの工程を通らざるを得ない、という無駄が生じている。以上のようにして長い製造工程が必要なワンチップ型の電極駆動I Cは、大型化による歩留まり低下もあわせて価格が著しく上昇する。この結果、ワンチップ型の電極駆動I Cを使用する液晶表示モジュールも高価になるという課題がある。

(4)

5

【0016】電極駆動ICの価格上昇を避けるために、第2の従来例で示したように信号電極駆動波形が低電圧だけですむAPTを採用し、高電圧回路が必要な走査電極駆動回路を別ICとすればよい。さらに選択パルス振幅のほぼ半分の電圧で走査電極駆動ICを駆動できる揺動電源方式を使えば、走査電極駆動ICが小型化できコストもいっそう抑えられる。しかしながら、走査電極駆動ICを別チップにすると、携帯電話用として必要な表示パネルにおけるガラス外形の対称性が崩れるという課題が発生する。

【0017】そこで本発明は、携帯電話用に必要な表示パネルにおけるガラス外形の対称性維持したまま、電極駆動ICの価格を下げることにより、携帯電話用等の液晶表示モジュールのコストダウンを図ることを目的にしている。

【0018】

【課題を解決するための手段】上記の目的を達成するため本発明は以下の特徴を有する。液晶パネルの一方の基板上に、複数の走査電極駆動ICとその間に少なくとも1個の信号電極駆動ICを並べて実装する。この信号電極駆動ICの出力する信号電極駆動波形の振幅は、走査電極駆動ICが出力する走査電極駆動波形の振幅よりも小さい。つまり、信号電極駆動ICの耐圧を前記走査電極駆動ICの耐圧より低く設定することを特徴としている。

【0019】

【発明の実施の形態】図1は、本発明の実施の形態において、STN液晶パネルにCOG実装した電極駆動ICと他の部材との位置関係を示した説明図である。図1において、(A)は正面図、(B)は側断面図、(C)は電極に関する説明図である。(A)および(B)で示されるように、基板である上ガラス1の背面には、2個の走査電極駆動IC3、4と信号電極駆動IC2を設置し、さらに基板である下ガラス5が張り付いている。ここで上ガラス1と下ガラス5は液晶層を挟んで対向しており、それぞれのガラス基板上に複数本の走査電極10と複数本の信号電極9が形成されている。また2個の走査電極駆動IC3、4の間に信号電極駆動IC2を配置していないが、いくつかに分割し、複数個配置させてもよい。しかし、その場合にも走査電極駆動ICの間に配置させる。

【0020】図1(C)において、上ガラス1の背面には信号電極9のほかに、配線8が形成されている。配線8は下ガラス5に形成された走査電極10と、上ガラス1に設置した走査電極駆動IC3、4の電極駆動端子とを接続するためのものである。走査電極駆動IC3、4および信号電極駆動IC2の端子面と上ガラス1の接続部はACFで接続をとっている。なお電極駆動ICごとにACFを張り付ることが多いが、ACF張り付精度の

6

関係で決まるIC間スペーシング条件を緩和するため、および実装工程を簡略化させるため、一本のACF上に走査電極駆動IC3、4と信号電極駆動IC2を載せ、走査電極駆動IC3、4と信号電極駆動IC2を熱圧着した。

【0021】信号電極9と走査電極10の交差部が個々の画素であり、画素全体が表示画面に相当する。2個の走査電極駆動ICのうち、左側の走査電極駆動IC4は表示画面の上から1、3、5番目の奇数本目の走査電極に接続している。右側の走査電極駆動IC3は表示画面の上から2、4、6番目の偶数本目の走査電極に接続している。これは、走査電極駆動IC3、4の電極駆動能力の差を目立たなくするための配線方法である。下ガラス基板5に設置した走査電極10は、異方性導電粒により上ガラス1の配線8と接続している。

【0022】FPC7上には、揺動電源を発生させる揺動電源用IC6を始め、走査電極駆動IC3、4と信号電極駆動IC2とが必要とする外部部品(図示せず)が搭載されている。この液晶パネルは揺動電源法によるAPTを使用している。

【0023】図2は、信号電極駆動IC2、走査電極駆動IC3、4を含むFPC7上の回路図である。図1と同じ番号は同じ部材を示している。携帯電話器の回路基板とこの回路とを接続する配線は、複数ビットのCPU信号と、2.5Vの電源POWER、グランドGNDである。CPU信号の内訳は、クロック信号、チップインペブル信号、データとコマンドを識別する信号、リセット信号、および表示データやコマンドをやりとりするためのデータ信号からなっており、信号電極駆動IC2の制御ブロック37と接続している。

【0024】信号電極駆動IC2の昇圧1ブロック34は、スイッチングレギュレータで高電圧Vhを得ている。昇圧1ブロック34は、トランジスタT1にクロックを出力する。このクロックでトランジスタT1がコイルL1の電流経路を遮断したときに高電圧が発生する。この高電圧をダイオードD1とコンデンサC1で整流し高電圧Vhを得る。高電圧Vhを抵抗R1、R2で分圧し昇圧1ブロック34にネガティブフィードバックをかけ、高電圧Vhを安定化させる。コンデンサC2はフィードバックの応答を調整し高電圧Vhのリップルを減らしている。高電圧Vhは揺動電源用IC6に入力している。

【0025】信号電極を駆動するには、電圧Vco1を3V程度にする必要がある。昇圧2ブロック35は、コンデンサC3、C4で電源POWERの電圧を2倍にし5Vの電圧V33を得る。この電圧V33は液晶駆動用の電源ブロック36に入力する。電源ブロック36はシリーズレギュレータで休止電圧VM、電圧Vco1を出力する。コンデンサC5、C6はそれぞれ休止電圧VM、電圧Vco1を安定化させている。休止電圧VMは信号電

(5)

7

極駆動 I C 2 のカラム駆動ブロック 3 9 に入力するほか、走査電極駆動 I C 3、4 にも入力している。電圧 V_{c o 1} は信号電極駆動 I C 2 のカラム駆動ブロック 3 9 に入力するほか、揺動電源用 I C 6 にも入力している。

【0026】信号電極駆動 I C 2 の制御ブロック 3 7 は信号電極駆動 I C 2 のRAM 3 8 やカラム駆動ブロック 3 9 など、各ブロックに制御信号を送ったりデータをやりとりしたりするほかに、揺動電源用 I C 6 に5ビットの信号 3 1 を出力する。信号 3 1 は、クロック信号 L_O AD、スタート信号 F_R、極性制御信号 D_F に加え、リセット信号 R_{S T B}、イネーブル信号 R_{O E} である。その他、RAM 3 8 はカラム駆動ブロック 3 9 に表示データを出力する。信号電極駆動 I C 2 には表示制御を行うための発振ブロック 4 0 や温度補償ブロック、コントラスト調整ブロック（図示せず）がある。

【0027】揺動電源用 I C 6 は、電源 P O W E R、高電圧 V_h、電圧 V_{c o 1}、グランド GND、5ビットの信号 4 1 が入力し、上側の揺動電源 VDD、ロジック用の揺動電源 VCC、下側の揺動電源 VSS、5ビットの信号 3 1 を揺動電源系にレベルシフトした信号 3 2 を出力する。揺動電源 VDD と揺動電源 VSS はコンデンサ C 7 を介して接続している。同様に揺動電源 VCC と揺動電源 VSS もコンデンサ C 8 を介して接続している。5ビットの信号 3 2、揺動電源 VDD、VSS、VCC は走査電極駆動 I C 2、3 に入力している。

【0028】揺動電源用 I C 6 は、シリコン基板上に絶縁膜を形成し、その表面にトランジスタやダイオードを個別素子として形成させる構造（以下 S O I と称する）をとっている。逆電圧により素子が完全に分離していることから揺動電源のように電源系が複雑な I C に向いている。揺動電源用 I C は、極性反転信号 D_F をいったん高電圧 V_h とグランド GND の電圧範囲にレベルシフトし、引き続き高電圧 V_h と電圧 V_{c o 1} の電圧範囲にレベルシフトしている。これで図 5 の揺動電源 VDD の波形が得られる。次にこの揺動電源 VDD の出力波形からコンデンサ C 7 で直流成分を取り除き、最高電圧をグランド GND にクランプし、下側の揺動電源 VSS を得る。別の言い方をすれば、揺動電源用 I C 6 の VSS 端子はクランプ用である。さらに揺動電源 VSS の波形からコンデンサ C 8 で直流成分を取り除き、最高電圧を電源 P O W E R の電圧にクランプし、ロジック用揺動電源 VCC が得られる。各揺動電源 VDD、VSS、VCC を作成する回路に印加される電圧は、コンデンサ C 7、C 8 による直流成分除去により、高電圧 V_h とグランド GND の差から得られる電圧を越えることはない。よって、信号電極駆動 I C 2 は走査電極駆動 I C 3、4 と同程度、あるいはそれ以下の耐圧の素子を用いることができる。本実施の形態において、100分割程度の液晶パネルでは、図 5 の直流電圧は、GND、VM、P O W E R、V_{c o}

8

1、V_h がそれぞれ、0 V、1.5 V、2.5 V、3 V 程度、1.5 V 程度である。

【0029】図 3 は、本実施の形態で使用している走査電極駆動 I C のパッド図面である。揺動電源 VDD、VCC、VSS、VSSL、休止電圧 VM の入力端子、信号入力端子 R_{S T B}、LOAD、F_R、D_F、R_{O E} と機能設定端子 S₀、S₁、S₂ が一辺上に並んでいる。残りの 3 辺には出力端子 OUT 0、…、OUT 16、…、OUT 48、…、OUT 64 が順番に並んでいる。

10 ここで下側の揺動電源 VSS の入力端子として、走査電極駆動 I C 全体のグランド (VSS) と論理回路用 (VSSL) を分けている。これは、走査電極駆動 I C のグランド (VSS) にノイズが混入した場合でも、ロジック回路が誤動作しないようにさせるためのものである。機能設定端子 S₀、S₁、S₂ は出力端子の選択順と選択周期を設定する。選択順は、出力端子の選択方向が OUT 0 から OUT 63 に向かわせるか、逆向きにするか、というものである。選択周期の設定では、選択パルスを出力する周期がフレーム信号と LOAD 信号を基準に、各周期ごと、偶数周期ごと、奇数周期ごとのいずれかを選ぶことになる。図 6 を用いて本実施の形態を説明する。選択順と選択周期を設定する機能を組み合わせることにより、第 1 周期には 1 番目の走査電極 R_{O W 0} へ、左側の走査電極駆動 I C 4 が 63 番目の出力端子 OUT 63 L から選択パルスを出力する。続いて、第 2 周期には 2 番目の走査電極 R_{O W 1} へ右側の走査電極駆動 I C 3 が、0 番目の出力端子 OUT 0 R から選択パルスを出力する。同様に第 3、4 周期には 3、4 番目の走査電極 R_{O W 2}、3 に左、右側の走査電極駆動 I C 4、3 が 62、1 番目の出力端子 OUT 62 L、OUT 1 R から選択パルスを出力する。電気的には、ロジック用に 3 V 耐圧ルール、高電圧用に 1.5 耐圧ルールが混在したものを使っている。出力パッドピッチは 50 μ m なので、チップサイズは、2 mm x 1.5 mm 程度となった。

【0030】図 4 は、本実施の形態で使用している揺動電源用 I C 6 (A) と、信号電極駆動 I C 2 (B) のパッド図面である。(A)において、電源端子 P O W E R、V_h、V_{c o 1}、GND、レベルシフタ入力端子 A₀、A₁、A₂、A₃、A₄、極性制御信号入力端子 D_F と、揺動電源出力端子 VDD、VCC、VSS、レベルシフタ出力端子 B₀、B₁、B₂、B₃、B₄ が配置されている。極性制御信号 D_F の入力端子をレベルシフタの入力端子 (A₀ 等) とは別に設けた理由は、信号電極駆動 I C と揺動電源用 I C 間を接続する F P C 上の配線自由度を増やすためである。一つのレベルシフタ入力端子と極性信号入力端子 D_F は F P C 7 上で接続している。揺動電源用 I C 6 は、各パッド上にはんだボールを付け、直接 F P C 上の配線と接続をとる方法（フリップチップ）で実装する。パッド間のピッチは 200 μ m と 50 したのでチップサイズは、1 mm x 1.2 mm となっ

(6)

9

た。(B)の信号電極駆動IC2は、上側の長辺に電源やCPU、外部部品などの接続に用いる端子I/Oがあり、もう一方の辺には信号電極出力端子OUT0、…、OUT384がある。50μmの出力端子ピッチから走査電極駆動IC2の長辺は20mm程度になった。またロジック回路は一般的な0.35μmを使用し、アナログ回路と信号電極駆動出力端子回りも5Vルールを使用したので、小型素子だけで構成できたため短辺は1.8mmとなった。

【0031】

【発明の効果】以上の説明から本発明は、2個の走査電極駆動ICで1個の信号電極駆動ICを挟み同一実装領域に並べて配置したことで、ワンチップ型の電極駆動ICを使用したときと同じ構造がとれ、携帯電話が必要とする左右対称なガラス外形を有する液晶パネルが得られる。信号電極駆動ICは、低電圧ルールだけで製造できるので、ICの構成が簡略化でき、製造工程が短く小型なためチップ価格が低い。走査電極駆動ICは、機能的に単純なのでロジック回路が小規模であるため、低電圧ロジック用のパターンルールを粗くしてもIC全体の面積に対する影響が少ない。このため走査電極駆動ICの製造工程は全体に粗いルールになりコストは低いものとなる。

【0032】本発明では、電極駆動ICの数が増えたことで実装コストが若干上昇するが、簡略な構成の電極駆動ICを用いながら、良好な駆動を行うことができ、さらに電極駆動ICの価格が大幅に低下するので、液晶表示モジュールのコストダウンが可能となった。

【0033】なお本発明は、揺動電源によるAPTで説明してきたが、走査電極駆動ICの駆動電圧に比べて信号電極駆動ICの駆動電圧が低い場合に有効である。例えば、STN液晶パネルにおいて、一回の選択タイミングで複数の走査電極を選択する駆動方法(MLA:マルチライン・アドレッシング、MRA:マルチロー・アドレッシング、MLS:マルチライン・セレクションなどと呼ばれる)でも有効である。4本の走査電極を同時に選択する場合では、最適バイアス条件では走査電極駆動ICに必要な電圧はAPTで必要な電圧の半分(揺動電源の場合の電圧、ないしIAPTの電圧)になるので、100桁ならやはり15V程度である。一方信号電極駆動ICに必要な最大電圧は、APTの2倍になるのでやはり6V位であり低電圧で駆動できている。この場合も本発明の方法で電極駆動ICの価格を下げることが可能となる。

【0034】また本発明はメモリや制御機能、各種電源を有する信号電極駆動ICで説明してきた。やはり信号

10

電極駆動ICが低電圧で駆動できれば有効なので、信号電極駆動機能だけを有する信号電極駆動ICと2個の走査電極駆動ICをパネルに並べて実装し、FPC上などにメモリや表示制御機能を有するグラフィックコントローラ、各種の電源制御を行う電源ICを配置してもよい。この場合、電極駆動ICの価格は著しく低いものとなる。また、電極駆動ICが小型(短辺が縮まる)のでガラスサイズを小型にできるという効果も加わる。

【図面の簡単な説明】

【図1】本発明の実施の形態における電極駆動ICの配置図。

【図2】本発明の実施の形態における回路図。

【図3】本発明の実施の形態における走査電極駆動ICのパッド図。

【図4】本発明の実施の形態における揺動電源用ICと信号電極駆動ICのパッド図。

【図5】従来例の揺動電源の波形図。

【図6】従来例の電極駆動関係の波形図。

【図7】従来例の電極駆動ICの配置図。

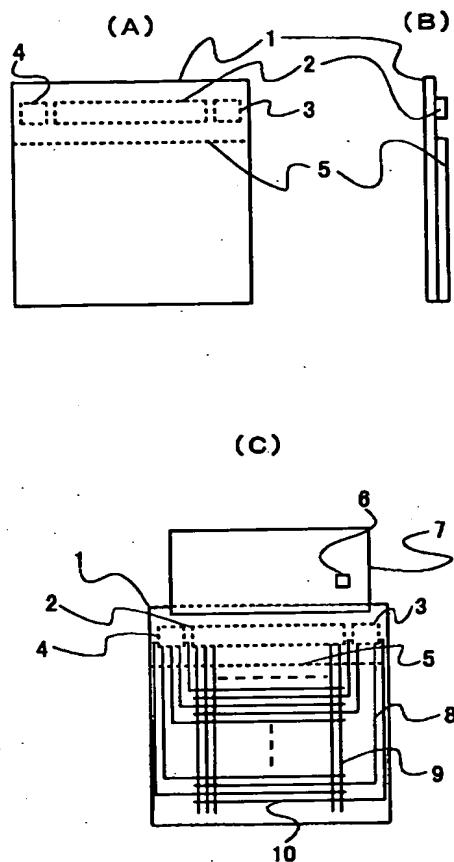
【図8】従来例の電極駆動ICの配置図。

【符号の説明】

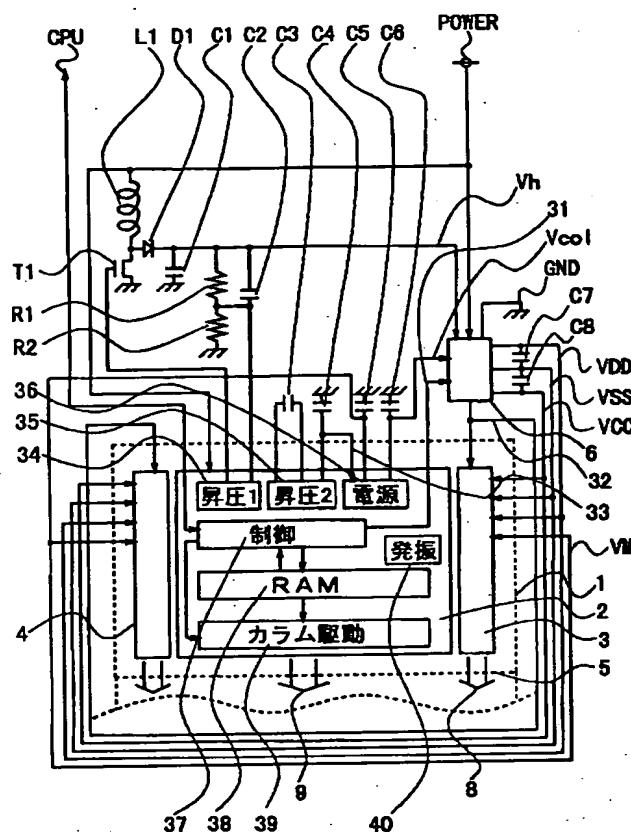
1、81、91	上ガラス
2、92	信号電極駆動IC
3、4、94	走査電極駆動IC
5、83、93	下ガラス
6	揺動電源用IC
7、84、98	FPC
8、21、26、85、95	配線
9、86、96	信号電極
10、87、97	走査電極
20、25	シール
22、27	接続部
24、29	表示領域
82	ワンチップ型の電極駆動IC
VDD	上側の揺動電源
VSS	下側の揺動電源
VCC	ロジック用の揺動電源
POWER	電源
Vc01	上側の信号電極駆動電圧
VM	休止電圧
GND	グランド、下側の信号電極駆動電圧
DF	極性制御信号
LOAD	クロック信号
FR	スタート信号

(7)

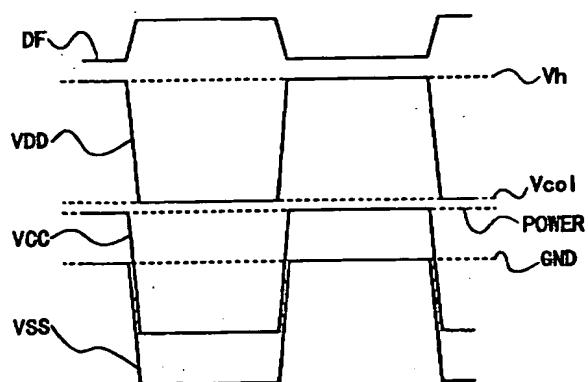
【図1】



【図2】

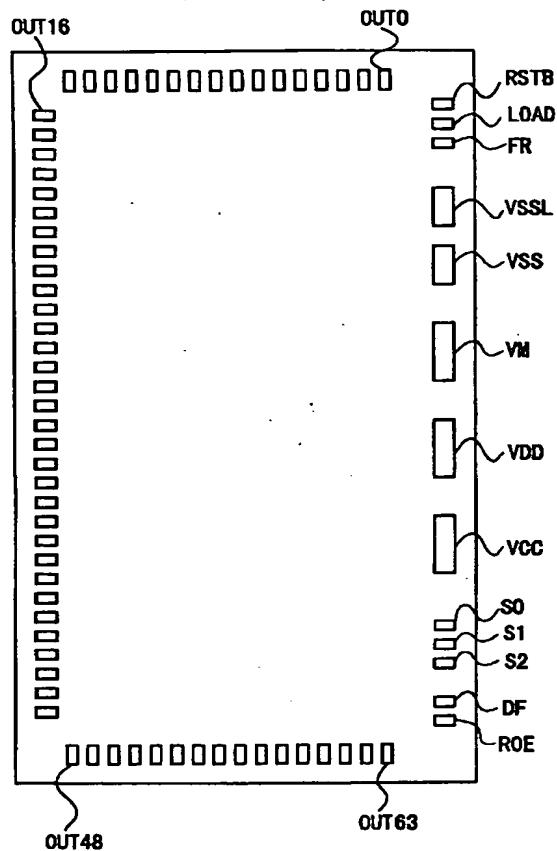


【図5】

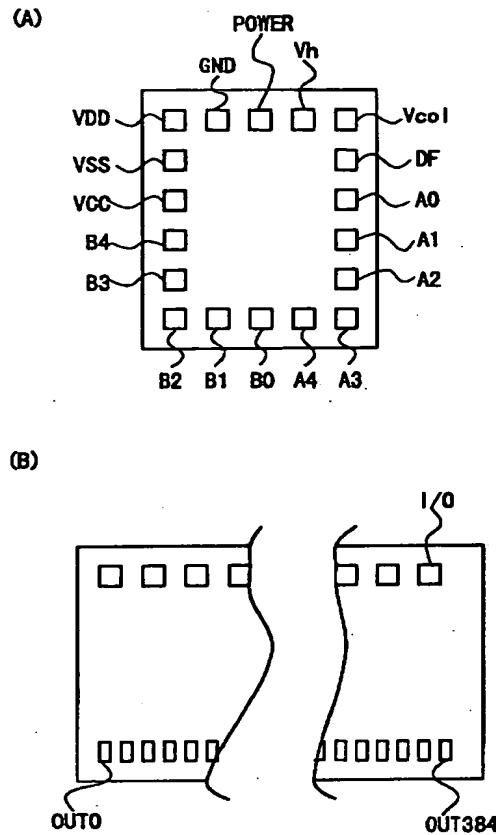


(8)

【図3】

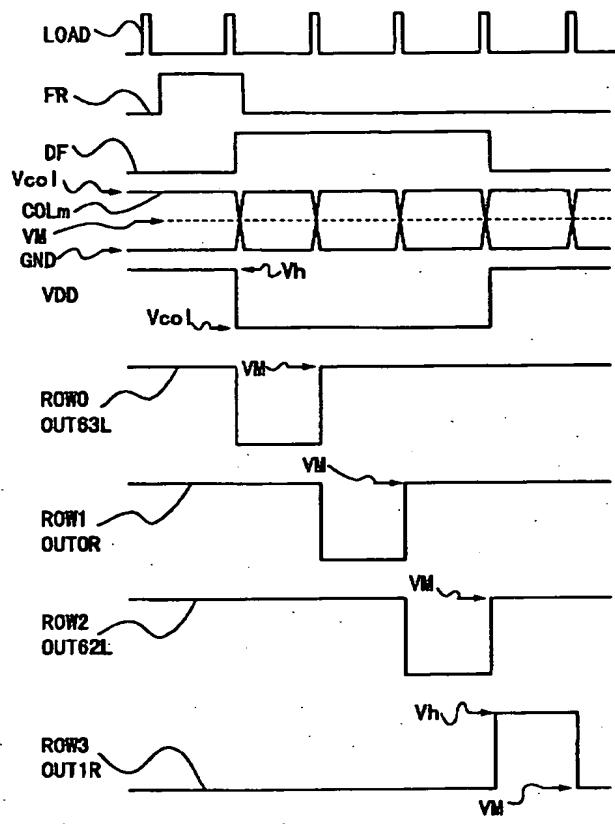


【図4】

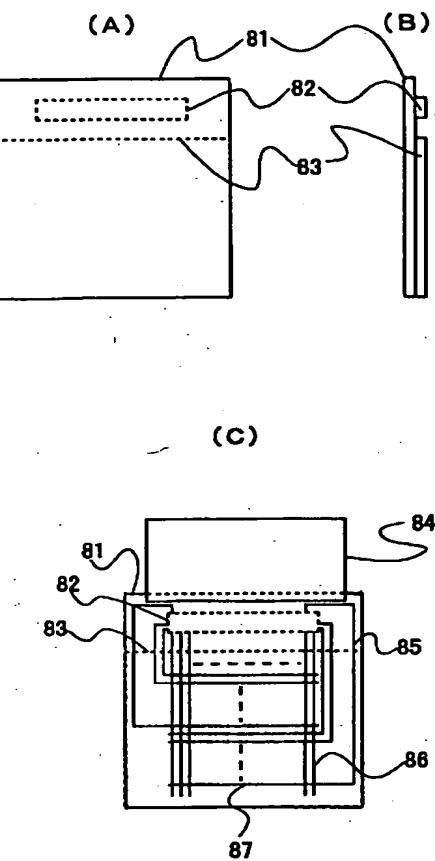


(9)

【図6】

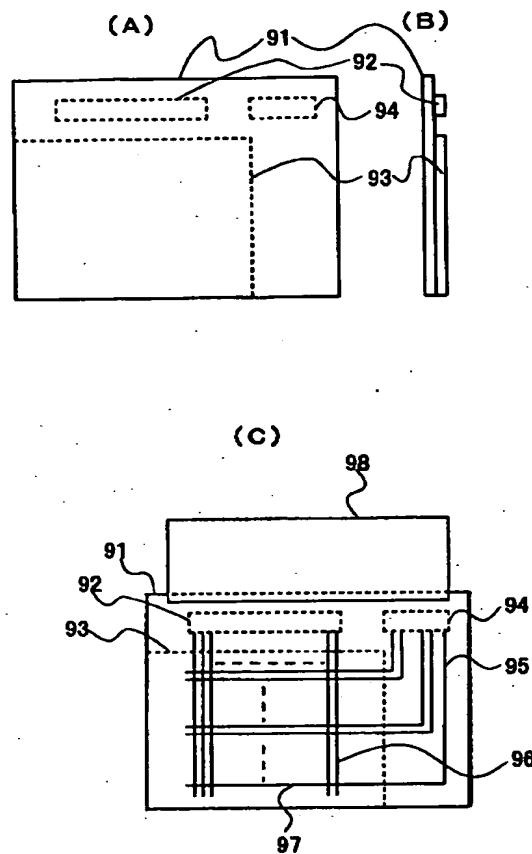


【図7】



(10)

[図8]



フロントページの続き

(51) Int. Cl. 7

G 09 F 9/30

G 09 G 3/20

識別記号

3 4 3

6 1 2

6 2 1

6 8 0

F I

G 09 F 9/30

G 09 G 3/20

マークド (参考)

3 4 3 Z 5 G 4 3 5

6 1 2 D

6 2 1 M

6 8 0 G

(11)

Fターム(参考) 2H092 GA50 GA51 GA60 NA29 PA06
QA10
2H093 NA47 NC03 ND42 ND49 ND54
NE07 NF13
5C006 AA02 AC24 BB12 BC02 BC03
BC11 BF42 FA52
5C080 AA10 BB05 DD27 FF03 FF12
JJ02 JJ04 JJ06 KK07
5C094 AA15 AA44 AA48 AA56 BA45
CA19 DA09 DB02 DB03 DB05
EA04 EA05 EB02 FA01 GA10
5G435 AA17 AA18 BB12 CC09 EE37
EE40 EE41 KK05